

Alguns exercícios (resolvidos) de PCVLSI

2005/06

1 Enunciados

Na resolução dos exercícios assuma a utilização de uma tecnologia CMOS $0.25 \mu\text{m}$.

| | V_{T0} (V) | γ (\sqrt{V}) | V_{DSAT} (V) | k' (A/V ²) | λ (1/V) |
|------|--------------|-------------------------|----------------|--------------------------|-----------------|
| NMOS | 0,43 | 0,4 | 0,63 | 111×10^{-6} | 0,06 |
| PMOS | -0,4 | -0,4 | -1 | -30×10^{-6} | -0,1 |

Resistência equivalente R_{eq} (para transístor mínimo)

| V_{DD} (V) | 1 | 1,5 | 2 | 2,5 |
|--------------------|-----|-----|----|-----|
| NMOS (k Ω) | 35 | 19 | 15 | 13 |
| PMOS (k Ω) | 115 | 55 | 38 | 31 |

Transístor mínimo: $W=0,375 \mu\text{m}$, $L=0,25 \mu\text{m}$, $W/L=1,5$. $V_{DD}=2,5 \text{ V}$.

Parâmetros de capacidade

| | C_{ox} (fF/ μm^2) | C_0 (fF/ μm) | C_j (fF/ μm^2) | m_j | ϕ_b (V) | C_{jsw} (fF/ μm) | m_{jsw} | ϕ_{bsw} (V) |
|------|------------------------------------|-------------------------------|---------------------------------|-------|-----------------|-----------------------------------|-----------|---------------------|
| NMOS | 6 | 0.31 | 2 | 0.5 | 0.9 | 0.28 | 0.44 | 0.9 |
| PMOS | 6 | 0.27 | 1.9 | 0.48 | 0.9 | 0.22 | 0.32 | 0.9 |

Exercício 1

1. Determine o valor de todas as capacidades parasitas de um transístor NMOS (na situação de *zero-bias*) com os seguintes parâmetros: $t_{ox}=6 \text{ nm}$, $L=0.24 \mu\text{m}$, $W=0.36 \mu\text{m}$, $L_D=L_S=0.625 \mu\text{m}$, $C_0=3 \times 10^{-10} \text{ fF/m}$, $C_{j0}=2 \times 10^{-3} \text{ F/m}^2$ e $C_{jsw0}=2.75 \times 10^{-10} \text{ F/m}^2$.

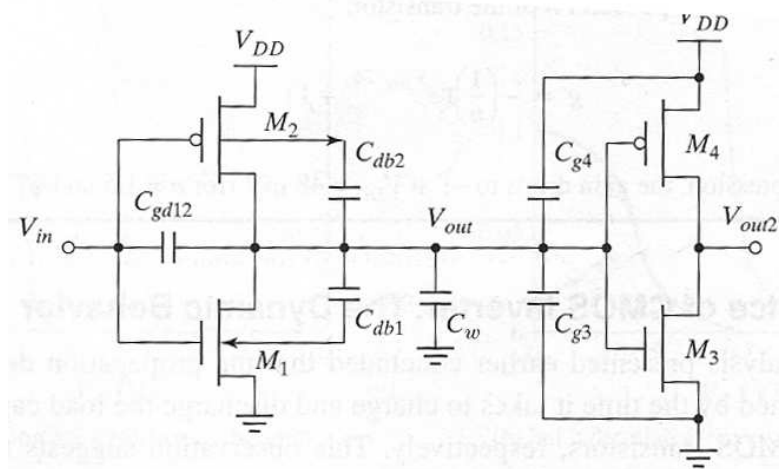


Figura 1: Par de inversores idênticos.

2. Qual é a capacidade dominante nesta situação? O que acontece numa situação em que as junções estejam contrapolarizadas?

Exercício 2

Considere par de circuitos inversores apresentado na figura 1. Os dois inversores são iguais. Os dados geométricos de um inversor são apresentados na tabela seguinte.

| | W/L | AD (μm^2) | PD (μm) | AS (μm^2) | PS (μm) |
|------|------------|------------------------|----------------------|------------------------|----------------------|
| NMOS | 0.375/0.25 | 0.3 | 1.875 | 0.3 | 1.875 |
| PMOS | 1.125/0.25 | 0.7 | 2.375 | 0.75 | 2.375 |

1. Determine o factor de linearização K_{eq} da capacidade de junção de dreno dos transístores M_1 e M_2 para os dois tipos de transição (H→L e L→H).
2. Determine o valor das capacidades indicadas na figura (excepto C_w).

Exercício 3

1. Explique o funcionamento do registo da figura 2a.
2. Estime os parâmetros temporais desse registo.

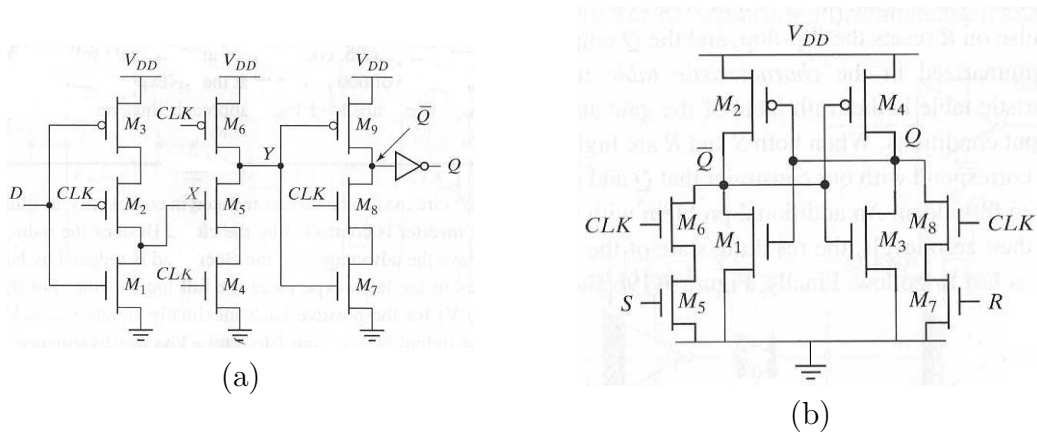


Figura 2: Registo (a) e trinco (b).

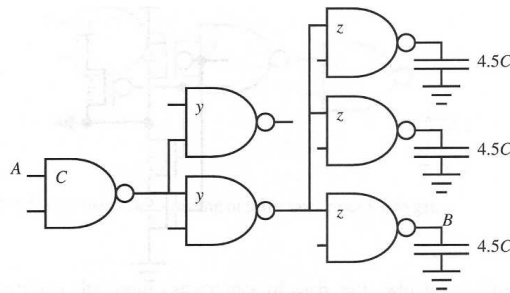


Figura 3: Circuito lógico multinível.

Exercício 4

1. Explique o funcionamento do trinco da figura 2b.
2. Explique como proceder para dimensionar o trinco referido.

Exercício 5

Circuitos dinâmicos CMOS contêm nós (capacitivos) de alta impedância, cuja carga pode escapar através de correntes de fugas. Supondo que um nó com capacidade C_s pode ter uma corrente de fugas I_F , mostre como estimar o tempo que demora até que a tensão do nó deixe de representar o valor lógico '1'. Suponha que C_s e I_F são constantes.

Exercício 6

Use o método do esforço lógico para otimizar o circuito da figura 3 por forma a obter o menor atraso de $A \rightarrow B$, sabendo que o esforço eléctrico do percurso é 4.5.

Exercícios 1-4 adaptados de: *Digital Integrated Circuits, J. M Rabaey et al. (2^a ed.).*

2 Soluções

Soluções dos problemas da secção 1.

Exercício 1

1. O transistor está ao corte, logo $C_{GCS} = C_{GCD} = 0$.
 $C_{ox} = \epsilon_{ox}/t_{ox} = 5.7 \text{ fF}/\mu\text{m}^2$.
Capacidade *gate*-canal: $C_{GC} = C_{GCB} = W \times L \times C_{ox} = 0.49 \text{ fF}$.
Capacidade de *overlap*: $C_{GDO} = W \times C_O = 0.108 \text{ fF}$.
Como fonte e dreno são iguais: $C_{GSO} = C_{GDO}$.
Logo, $C_G = 0.49 + 2 \times 0.105 = 0.7 \text{ fF}$.

Capacidade de fundo (dreno): $C_{j0} \times L_D \times W = 0.45 \text{ fF}$.
Capacidade lateral (dreno): $C_{jsw0}(2L_D + W) = 0.44 \text{ fF}$.
Como fonte e dreno são iguais: $C_{SB} = C_{DB} = 0.89 \text{ fF}$.

2. As capacidades de difusão (C_{SB} e C_{DB}) são maiores que a capacidade de *gate*.
A situação avaliada neste problema constitui o pior caso. Em operação normal, as junções de fonte e dreno estão contrapolarizadas e a sua capacidade é bastante menor. Nessa situação, a soma de C_{SB} e C_{DB} é quase sempre inferior a C_G .

Expansão: Capacidade parasita de uma junção PN.

A capacidade de uma junção PN é dada por

$$C_j = \frac{C_{j0}}{(1 - V_D/\phi_0)^m}$$

em que o coeficiente m depende do tipo de junção: $m = 1/2$ para uma junção abrupta e $m = 1/3$ para uma junção linear. C_{j0} é a capacidade da junção quando não-polarizada (*zero-bias*). V_D é a tensão de polarização (negativa quando existe uma contrapolarização). O potencial intrínseco da junção ϕ_0 é:

$$\phi_0 = \phi_T \ln \frac{N_A N_D}{n_i^2}$$

em que ϕ_T é o potencial térmico

$$\phi_T = \frac{kT}{q} = 26 \text{ mV a } 300 \text{ K.}$$

Conforme se pode ver da expressão respectiva, a capacidade da junção tem uma dependência fortemente não-linear da tensão V_D . Em circuitos digitais as tensões tendem a variar rapidamente entre os extremos de uma gama. Nesse caso é útil substituir a capacidade não-linear por uma capacidade linear equivalente média para grandes variações de sinal C_{eq} , definida de tal forma que, para a uma variação de tensão entre V_{high} e V_{low} , seja transferida a mesma carga que no modelo não-linear. C_{eq} deve satisfazer a relação $C_{eq} = K_{eq}C_{j0}$.

Determina-se então que valor de K_{eq} é

$$K_{eq} = \frac{-\phi_0^m}{(V_{high} - V_{low})(1 - m)} [(\phi_0 - V_{high})^{1-m} - (\phi_0 - V_{low})^{1-m}]$$

Esta linearização é análoga à que é feita para determinar a resistência equivalente R_{eq} de um transistor MOS.

Fim de expansão.

Exercício 2

1. O atraso de propagação é medido nos pontos de 50% das respectivas ondas. O factor K_{eq} pode ser calculado de acordo com a fórmula apresentada na solução do exercício anterior.

Capacidade C_{db1} :

transição H→L: linearização entre 2.5 V e 1.25 V.

transição L→H: linearização entre 0 V e 1.25 V.

No primeiro caso: tensão de contrapolarização da junção: -2.5 V (notar que neste caso a tensão do substrato é 0 V). À medida que a tensão de dreno desce, a tensão de contrapolarização tende para -1.25 V. Logo: $V_{high} = -2.5$ e $V_{low} = -1.25$.

Aplicando a fórmula às duas capacidades que constituem o dreno, temos:

fundo: $m = 0.5$, $\phi_0 = 0.9$, $K_{eq} = 0.57$

lados: $m = 0.44$, $\phi_0 = 0.9$, $K_{eqsw} = 0.61$

Para a transição L→H tem-se $V_{high} = -1.25$ e $V_{low} = 0$, o que dá:

fundo: $m = 0.5$, $\phi_0 = 0.9$, $K_{eq} = 0.79$

lados: $m = 0.44$, $\phi_0 = 0.9$, $K_{eqsw} = 0.81$

O tratamento de M_1 é semelhante, tendo em atenção que a respectiva tensão de substrato é 2.5 V.

transição H→L: $V_{high} = -1.25$, $V_{low} = 0$:

fundo: $m = 0.48, \phi_0 = 0.9, K_{eq} = 0.79$
 lados: $m = 0.32, \phi_0 = 0.9, K_{eqsw} = 0.86$
 transição L→H: $V_{high} = -2.5, V_{low} = -1.25$:
 fundo: $m = 0.48, \phi_0 = 0.9, K_{eq} = 0.59$
 lados: $m = 0.32, \phi_0 = 0.9, K_{eqsw} = 0.7$

2. Os valores das capacidades são os seguintes (em fF):

| Condens. | Fórmula | H→L | L→H |
|-----------|---|------|------|
| C_{gd1} | $2 \times C_{GDO_n} \times W_n$ | 0.23 | 0.23 |
| C_{gd2} | $2 \times C_{GDO_p} \times W_p$ | 0.61 | 0.61 |
| C_{db1} | $K_{eqn} \times AD_n \times C_{jn} + K_{eqnsw} \times PD_n \times C_{jswp}$ | 0.66 | 0.90 |
| C_{db2} | $K_{eqp} \times AD_p \times C_{jp} + K_{eqnsw} \times PD_p \times C_{jswn}$ | 1.5 | 1.15 |
| C_{g3} | $(C_{GDO_n} + C_{GS0n}) \times W_n + C_{ox} \times W_n \times L_n$ | 0.76 | 0.76 |
| C_{g4} | $(C_{GDO_p} + C_{GS0p}) \times W_p + C_{ox} \times W_p \times L_p$ | 2.28 | 2.28 |

O factor 2 que surge nas fórmulas de C_{gd1} e C_{gd2} representa o efeito de Miller no seguinte caso particular: um condensador com variações de tensão simétricas aos seus terminais pode ser substituído por um condensador à massa com capacidade dupla.

Exercício 3

1. Para CLK=0: o nó X assume o valor \overline{D} . O segundo andar está em pré-carga, com o nó Y a V_{DD} . O terceiro andar está em modo *hold*, já que M₈ e M₉ estão *off*. A saída Q está portanto estável.

Para CLK 0→1: o inversor (dinâmico) M₆-M₄ inicia a avaliação (caso o nó X esteja a V_{DD} , o nó Y é descarregado). Como o terceiro inversor (M₇-M₉) está *on*, o nó Y é passado para a saída \overline{Q} . O transistor M₂ está *off*.

Para CLK=1: Transições de D de H→L não têm efeito (ligar M₃ não tem efeito, porque M₂ está *off*). Uma transição de L→H liga M₁ e faz com que o nó X faça uma transição H→L: o nó Y fica em alta impedância (M₅ e M₆ desligados), mantendo o valor anterior. Logo, nenhuma alteração é transmitida para a saída (ver ainda a resposta à alínea 2).

O circuito da figura é um registo TSPC do tipo *positive edge-triggered*.

2. Para que uma transição L→H de D não influencie a saída, é necessário que o valor de X (anterior à transição de relógio) não seja alterado antes de se propagar até Y (na transição positiva do relógio). Portanto, D deve ser mantido estável até que o valor de X anterior ao flanco de relógio se propague até Y. Esta condição determina o tempo de *hold*, que é essencialmente a diferença entre os tempos de propagação do primeiro e do segundo andares.

O tempo de propagação é igual ao tempo de propagação de X até à saída Q, i.e., cerca de três vezes o tempo de atraso de um inversor.

O tempo de *setup* é o tempo necessário para que o valor de X seja válido, i.e., o tempo de atraso do inversor de entrada.

Exercício 4

1. Trata-se de um trinco realizado por dois inversores em realimentação positiva. Em regime estacionário um dos inversores está ao nível H e o outro ao nível L. Não existe nenhum percurso entre V_{DD} e V_{GND} .

O trinco tem dois sinais de controlo (S e R): o primeiro força a saída a H (forçando \overline{Q} a L via M_6 e M_7), enquanto o segundo força a saída a L. O efeito destes sinais é sincronizado por um sinal de CLK, i.e., só têm efeito se CLK=1. Como é usual nestes casos, os sinais de controlo não devem estar activos simultaneamente.

2. Apesar de não existir nenhum percurso directo entre V_{DD} e V_{GND} , é necessário dimensionar os transístores para que a transição entre estados seja feita correctamente. As situações dos sinais S e R são idênticas, pelo que basta analisar uma delas.

Vamos assumir que os transístores M_1 - M_4 têm dimensões tais que, para os respectivos inversores, a tensão $V_M = V_{DD}/2$. Trata-se, portanto, de determinar as menores dimensões de M_5 - M_8 que permitam ao trinco comutar devidamente.

O sinal S provoca a transição Q: L→H. Para tal acontecer, é necessário que a saída L do inversor (M_5, M_6)- M_2 esteja abaixo da tensão V_M do inversor M_3 - M_4 . Pode assumir-se que, enquanto $V_{\overline{Q}} > V_M$, $V_Q = 0$ e M_2 está em condução. A condição-fronteira obtém-se igualando as correntes no inversor para $V_{\overline{Q}} = V_{DD}/2$. Nesta situação os transísto-

res do inversor (M_5, M_6)- M_2 estão em saturação ($V_{GS}=V_{DD}=2.5$ V e $V_M=1.25$ V).

Vamos assumir ainda que os transístores M_5 e M_6 têm dimensões idênticas. Seja $(W/L)_S = 0.5 \times (W/L)_5$. Ignorando a modulação do canal, a condição-fronteira pode ser escrita como:

$$k'_n(W/L)_S \left((V_{DD} - V_{Tn})V_{DSATn} - \frac{V_{DSATn}^2}{2} \right) = -k'_p(W/L)_2 \left((-V_{DD} - V_{Tp})V_{DSATp} - \frac{V_{DSATp}^2}{2} \right)$$

A equação deve ser resolvida em ordem a $(W/L)_S$.

Exercício 5

Seja S o nó de alta impedância. Da definição de capacidade, temos:

$$I_F = -C_s \frac{dV_s}{dt}$$

já que se trata de uma corrente que deixa o nó. Então, temos

$$\frac{dV_s}{dt} = -\frac{I_F}{C_s}$$

o que leva a

$$V_s(t) = V(0) - \frac{I_F}{C_s} \times t$$

Supondo que o nó tinha uma tensão inicial igual a V_{max} , temos:

$$V_s(t) = V_{max} - \frac{I_F}{C_s} \times t$$

O nó deixa de estar ao valor lógico '1' quando a sua tensão vem abaixo de V_{IH} . O tempo crítico t_c que demora até que tal aconteça é, portanto,

$$t_c = \frac{C_s}{I_F} (V_{max} - V_{IH})$$

De notar que se trata de uma análise muito aproximada, já que, na realidade, nem I_F nem C_s são independentes da tensão V_s .

Exercício 6

O objectivo do exercício é determinar y e z , os factores de escala das portas NAND dos segundo e terceiro andares. Uma porta NAND de duas entradas tem um esforço lógico $g = 4/3$ e atraso intrínseco de $2 \times p_{inv}$, em que p_{inv} é o atraso intrínseco do inversor de referência.

O esforço lógico G do percurso é $G = (4/3)^3$. O esforço de ramificação à saída do primeiro andar é $(y+y)/y = 2$ e à saída do segundo é $(z+z+z)/z = 3$. O esforço de ramificação do percurso é $B = 2 \times 3 = 6$. Como o esforço eléctrico é $F = 4.5$, temos que o esforço do percurso é $H = GFB = 64$ e o atraso mínimo é $\hat{D} = 3 \times 64^{1/3} + 3 \times 2 = 18.0$ unidades, em que se considera 1 unidade de atraso = p_{inv} .

Para obter o atraso mínimo, é necessário que todos os andares tenham o mesmo esforço. O esforço de cada andar deve ser $64^{1/3} = 4$. O dimensionamento pode ser feito da saída para a entrada.

A partir da saída, temos para o último andar $z = 4.5C \times (4/3)/4 = 1.5C$.

O segundo andar ataca três cópias do terceiro, logo $y = 3z \times (4/3)/4 = z = 1.5C$.

Como verificação, podemos determinar as dimensões da porta lógica do andar inicial: $2y \times (4/3)/4 = (2/3)y = C$, conforme indicado na especificação inicial.

Fim